



JPW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2818  
Examiner: David Lam

In re PATENT APPLICATION of

Applicant : Wen-Chieh Lee et al. )  
Appl. No. : 10/658,324 )  
Filed : September 10, 2003 ) **CLAIM FOR PRIORITY**  
For : MEMORY WITH SHIELDING EFFECT )  
Atty. Dkt. : SUND 478 )

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Taiwanese Application No. 092114314 filed May 27, 2003, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

Steven M. Rabin (Reg. No. 29,102)  
RABIN & BERDO, P.C.  
Telephone: 202-371-8976  
Telefax: 202-408-0924  
CUSTOMER NO. 23995

November 2, 2004

Date

SMR/tl

FEE ENCLOSED:\$ *8*  
Please charge any further  
fee to our Deposit Account  
No. 18-0002

BEST AVAILABLE COPY

0948



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 05 月 27 日  
Application Date

申請案號：092114314  
Application No.

申請人：旺宏電子股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 10 日  
Issue Date

發文字號：09220916260  
Serial No.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

申請日期：

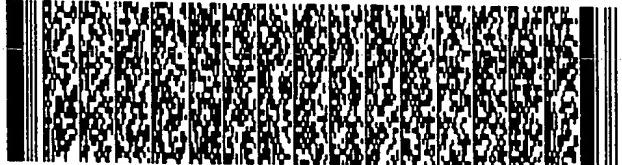
IPC分類

申請案號：

(以上各欄由本局填註)

## 發明專利說明書

一 、 發明名稱	中 文	具屏蔽效應之記憶體
	英 文	
二 、 發明人 (共2人)	姓 名 (中文)	1. 李文傑 2. 陳張庭
	姓 名 (英文)	1. 2. Chen, Chang-Ting
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹科學工業園區力行路16號 2. 新竹市武陵路175巷8號7樓之4
	住居所 (英 文)	1. 2.
三 、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英文)	1. MACRONIX INTERNATIONAL CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 16, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1.



TW0948E(旺宏).pdf

四、中文發明摘要 (發明名稱：具屏蔽效應之記憶體)

一種具屏蔽效應之半導體記憶體，至少包括複數條字元線、接地線控制單元及複數個記憶單元。各記憶單元包括主位元線、接地線、第一等效開關及第二等效開關。主位元線依一控制信號而致能。接地線與接地線控制單元電性連接。第一等效開關與主位元線及接地線耦接，並受控於前一記憶單元的控制信號。第二等效開關與主位元線及後一記憶單元的接地線耦接，並受控於後一記憶單元的控制信號。

五、(一)、本案代表圖為：第 2A 圖

(二)、本案代表圖之元件代表符號簡單說明：

220：接地線控制單元      230：感測放大控制單元

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

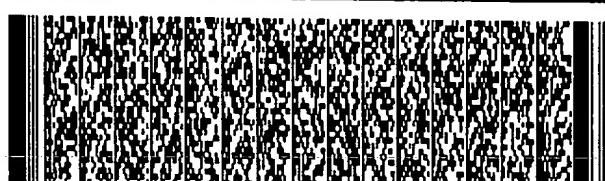
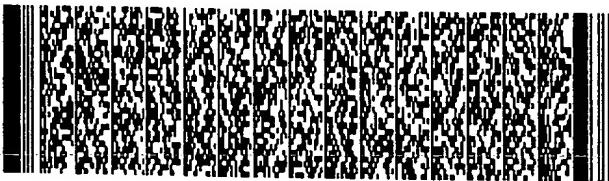
### 【發明所屬之技術領域】

本發明是有關於一種記憶體，且特別是有關於一種具屏蔽效應之記憶體。

### 【先前技術】

第1A圖繪示為傳統之唯讀記憶體之等效電路圖。記憶體係包括複數個記憶細胞行(memory cell column)C，與相鄰之子位元線連接。各記憶細胞行C包括( $m+1$ )個記憶細胞(memory cell)，並分別依據字元線WL<sub>0</sub>~WL<sub>m</sub>而致能，其中m係為正整數。各個記憶細胞即用以儲存0或1的資料。每個記憶細胞係可為一個電晶體，在製造過程中視其所儲存的資料而給予不同的臨界電壓V<sub>t</sub>。區塊字元線BWL藉由控制開關MB1~MB7以致能此記憶區塊。主位元線SB<sub>0</sub>、SB<sub>1</sub>及SB<sub>2</sub>係分別由開關MS<sub>0</sub>、MS<sub>1</sub>及MS<sub>2</sub>而決定是否電性連接至感測放大控制單元130。開關MS<sub>0</sub>、MS<sub>1</sub>及MS<sub>2</sub>及分別受控於控制信號YS<sub>0</sub>、YS<sub>1</sub>及YS<sub>2</sub>。主位元線SB<sub>0</sub>、SB<sub>1</sub>及SB<sub>2</sub>另外與位元線控制單元110電性連接，藉由位元線控制單元110而拉升或拉低。接地線GL<sub>0</sub>~GL<sub>3</sub>係與接地線控制單元120電性連接，藉由接地線控制單元120而拉升或拉低。經由字元線WL<sub>0</sub>~WL<sub>m</sub>、接地線G、主位元線SB與選擇位元線BRT與BLT的控制即可以決定所讀取的記憶細胞。

例如以讀取記憶細胞行C<sub>5</sub>中的一個記憶細胞為例。對於此記憶細胞的字元線WL、控制信號YS<sub>1</sub>、選擇信號BRT需被致能，且接地線GL<sub>1</sub>放電至接地位準，則電流路徑由主位元線SB<sub>1</sub>流至接地線GL<sub>1</sub>。由感測放大控制單元將主位



## 五、發明說明 (2)

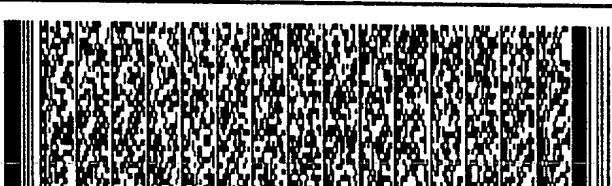
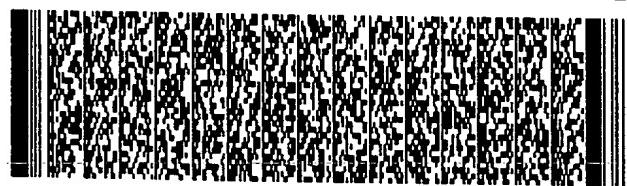
元線SB1的電流放大，即可得知此記憶細胞所儲存的值。

需注意的是，此時主位元線SB0係為浮接(float)，其上的電荷亦可能流至接地線GL1，使得主位元線SB1的電流變小，可能會造成誤讀的情況。另外，主位元線SB1之電流也可能會流至其他接地線，使得主位元線SB1的電流變小，亦會造成誤讀的情況。因此需有屏蔽的機制來預防。

本傳統記憶體可以用位元線控制單元110及接地線控制單元120達成屏蔽的效果。例如在上述讀取的例子中，由位元線控制電路110將主位元線SB0拉低，即可在接地線GL1左邊形成一道屏蔽，防止主位元線SB0到接地線GL1的電流；另外由接地線控制電路120將接地線GL2、GL3拉高，且由位元線控制電路將主位元線SB2拉高，即可在主位元線SB1的右邊形成一道屏蔽，避免電流誤流。

然而，藉由位元線控制單元110及接地線控制單元120達成屏蔽的機制將使電路的邏輯過於複雜。而且上述的屏蔽方法仍會有微小的漏電流產生，而影響讀取的正確性，理由如後述。

請照第1B圖，其繪示為讀取第1A圖所示之記憶體的電流示意圖。每個子位元線係為埋藏擴散層所形成，不可避免地會有電阻效應。讀取記憶細胞行C5時，主位元線SB1的電流I1流入埋藏擴散層的方向為由上至下，在節點N1的電壓假設為V1；接地線GL2係被接地線控制單元拉升以作為屏蔽，其電流I2流入埋藏擴散層的方向為由下至上，在節點N2的電壓為V2。由於電流I1與I2的流向不同，電流I2



### 五、發明說明 (3)

流到節點N2時，需經過的埋藏擴散層較長，而電流I1流至節點N1所經過的埋藏擴散層較短，因此節點N2的電壓V2會比節點N1的電壓V1小。由於節點N1與N2之間有電壓差，因此有漏電流產生，影響讀取的正確性。

### 【發明內容】

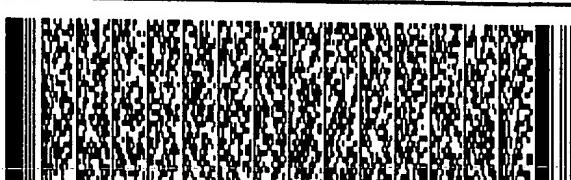
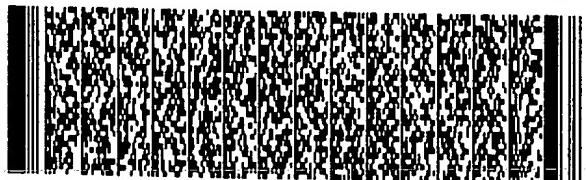
有鑑於此，本發明的目的就是在提供一種簡化電路之具有屏蔽效應的半導體記憶體。

根據本發明的目的，提出一種具屏蔽效應之半導體記憶體，至少包括複數條字元線、接地線控制單元及複數個記憶單元。各記憶單元包括主位元線、接地線、第一等效開關及第二等效開關。主位元線依一控制信號而致能。接地線與接地線控制單元電性連接，並與主位元線實質上平行排列。這些記憶單元中之第n記憶單元的第一等效開關與第n記憶單元的主位元線及第n記憶單元的接地線耦接，並受控於第(n-1)記憶單元的控制信號。第n記憶單元的第二等效開關與第n記憶單元的主位元線及第(n+1)記憶單元的接地線耦接，並受控於第(n+1)記憶單元的控制信號。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

請參照第2A圖，其繪示依照本發明一較佳實施例的一種具屏蔽效應之半導體記憶體之等效電路圖。記憶體係包



#### 五、發明說明 (4)

括複數個記憶細胞行(memory cell column)C，與相鄰之子位元線連接。各記憶細胞行C包括( $m+1$ )個記憶細胞(memory cell)，並分別依據字元線WL<sub>0</sub>~WL<sub>m</sub>而致能，其中m係為正整數。各個記憶細胞即用以儲存0或1的資料。每個記憶細胞係可為一個電晶體，在製造過程中視其所儲存的資料而給予不同的臨界電壓V<sub>t</sub>。區塊字元線BWL藉由控制開關MB1~MB7以致能此記憶區塊。主位元線SB<sub>0</sub>、SB<sub>1</sub>及SB<sub>2</sub>係分別由開關MS<sub>0</sub>、MS<sub>1</sub>及MS<sub>2</sub>而決定是否電性連接至感測放大控制單元130。開關MS<sub>0</sub>、MS<sub>1</sub>及MS<sub>2</sub>及分別受控於控制信號YS<sub>0</sub>、YS<sub>1</sub>及YS<sub>2</sub>。接地線GL<sub>0</sub>~GL<sub>3</sub>係與接地線控制單元220電性連接，藉由接元線控制單元220而拉升或拉低。經由字元線WL<sub>0</sub>~WL<sub>m</sub>、接地線G、主位元線SB與選擇位元線BRT與BLT的控制即可以決定所讀取的記憶細胞。

主位元線及接地線係為金屬層所構成，子位元線係為埋藏擴散層(Buried Diffusion)所構成。主位元線及接地線係透過接觸孔(contact hole)而與對應之子位元線耦接。

本發明的特徵在等效開關ME1~ME5，藉由控制等效開關ME1~ME6而達成屏蔽的效果。等效開關ME1~ME6係分別連接於接地線GL<sub>0</sub>、主位元線SB<sub>0</sub>、接地線GL<sub>1</sub>、主位元線SB<sub>1</sub>、接地線GL<sub>2</sub>、主位元線SB<sub>2</sub>及接地線GL<sub>3</sub>之間，並分別受控於控制信號YS'、YS<sub>1</sub>、YS<sub>0</sub>、YS<sub>2</sub>、YS<sub>1</sub>及YS<sub>3</sub>。在本實施例中，等效開關係為電晶體。

以讀取記憶細胞行C<sub>5</sub>中的一個記憶細胞為例。對應於

## 五、發明說明 (5)

此記憶細胞的字元線WL、選擇信號BRT需被致能，且接地線GL1放電至接地位準，控制信號YS1致能主位元線SB1。則電流路徑由主位元線SB1流至接地線GL1。由感測放大控制單元將主位元線SB1的電流放大，即可得知此記憶細胞所儲存的值。同時，控制信號YS1致能等效開關ME2，使得主位元線SB0與接地線GL1等電位，亦即為低電位，以在接地線GL1左邊形成屏蔽。控制信號YS1亦致能等效開關ME5，使得主位元線SB2與接地線GL2等電位，此時接地線GL2與GL3皆被接地線控制單元220拉升，使得主位元線之電位也經由等效開關ME5而拉升，以在主位元線SB1右邊形成屏蔽。

第2B圖繪示讀取第2A圖所示之記憶體的電流示意圖。每個子位元線係為埋藏擴散層所形成，不可避免地會有電阻效應。讀取記憶細胞行C5時，主位元線SB1的電流I1流入埋藏擴散層的方向為由上至下，在節點N1的電壓假設為V1；接地線GL2係被接地線控制單元拉升以作為屏蔽，經由等效開關ME4的導通而使主位元線SB2亦被拉升，其電流I2流入埋藏擴散層的方向亦為由上至下，在節點N2的電壓為V2。由於電流I1與I2的流向相同，經過的埋藏擴散層相同，因此節點N2的電壓V2與節點N1的電壓V1相同。由於節點N1與N2之間沒有電壓差，因此比傳統之記憶體提供更好的屏蔽，以增進讀取的正確性。

本發明上述實施例所揭露之具屏蔽效應之半導體記憶體具有以下優點：

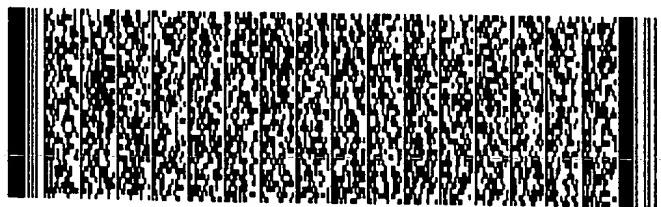
## 五、發明說明 (6)

一、簡化屏蔽效應之電路，以耦接於主位元線與接地線間的等效開關即可達成屏蔽效應，以提高讀取之正確性。

二、提供更好的屏蔽效果，減少埋藏擴散層之電阻效應的影響，以提高讀取之正確性。

三、避免主位元線之突波。有時主位元線有不可預期之突波，例如是電荷耦合等，而使主位元線的電荷過高，造成讀取錯誤。藉由本發明之等效開關及接地線的放電機制，可使主位元線放電至適當電壓，以增進讀取之正確性。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

### 【圖式簡單說明】

第1A圖繪示傳統之唯讀記憶體之等效電路圖。

第1B圖繪示讀取第1A圖所示之記憶體的電流示意圖。

第2A圖繪示依照本發明一較佳實施例的一種具屏蔽效應之半導體記憶體之等效電路圖。

第2B圖繪示讀取第2A圖所示之記憶體的電流示意圖。

## 圖式標號說明

110：位元線控制單元

120、220：接地線控制單元

130、230：感測放大控制單元



## 六、申請專利範圍

1. 一種具屏蔽效應之半導體記憶體，至少包括：

複數條字元線，各該字元線係平行排列；

一接地線控制單元；以及

複數個記憶單元，各該記憶單元包括：

一主位元線，與該些字元線實質上交錯垂直排列，依一控制信號而致能；

一接地線，與該接地線控制單元電性連接，並與該主位元線實質上平行排列；

一第一等效開關；及

一第二等效開關；

其中，該些記憶單元中之該第n記憶單元的該第一等效開關與該第n記憶單元的該主位元線及該第n記憶單元的該接地線耦接，並受控於該第(n-1)記憶單元的該控制信號；

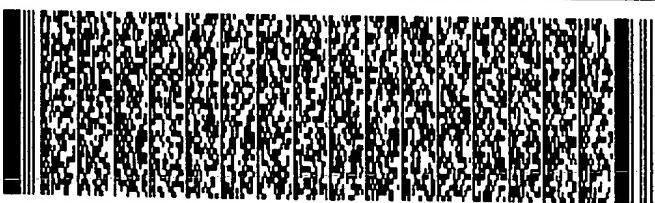
其中，該些記憶單元中之該第n記憶單元的該第二等效開關與該第n記憶單元的該主位元線及該第(n+1)記憶單元的該接地線耦接，並受控於該第(n+1)記憶單元的該控制信號；

其中，n為正整數。

2. 如申請專利範圍第1項所述之記憶體，其中該記憶體更包括：

一感測放大控制單元，與該些記憶單元之該些主位元線耦接，用以放大及感測該些主位元線之電流。

3. 如申請專利範圍第1項所述之記憶體，其中該記憶



## 六、申請專利範圍

單元更包括：

一第一子位元線、一第二子位元線、一第三子位元線、一第四子位元線及一第五子位元線，實質上與該主位元線平行排列，該第一子位元線與該接地線耦接，該第三子位元線與該主位元線耦接；

其中，該第n記憶單元之該第五子位元線即為該第(n+1)記憶單元之該第一子位元線。

4. 如申請專利範圍第3項所述之記憶體，其中該記憶單元更包括：

四個記憶細胞行(memory cell column)，各包括複數個記憶細胞(memory cell)，分別平行連接於相鄰之該第一子位元線、該第二子位元線、該第三子位元線、該第四子位元線及該第五子位元線之間。

5. 如申請專利範圍第1項所述之記憶體，其中該第一等效開關與該第二等效開關係為電晶體。

6. 一種具屏蔽效應之半導體記憶體，至少包括：

複數條字元線，各該字元線係平行排列；

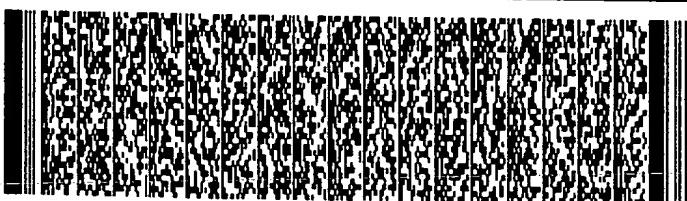
一接地線控制單元；

複數個記憶單元，各該記憶單元包括：

一主位元線，與該些字元線實質上交錯垂直排列，依一控制信號而致能；

一接地線，與該接地線控制單元電性連接，並與該主位元線實質上平行排列；

一第一子位元線、一第二子位元線、一第三子位



## 六、申請專利範圍

一元線、一第四子位元線及一第五子位元線，實質上與該主位元線平行排列，該第一子位元線與該接地線耦接，該第三子位元線與該主位元線耦接；

四個記憶細胞行(memory cell column)，各包括複數個記憶細胞(memory cell)，分別平行連接於相鄰之該第一子位元線、該第二子位元線、該第三子位元線、該第四子位元線及該第五子位元線之間；

一第一等效開關；及

一第二等效開關；以及

一感測放大控制單元，與該些記憶單元之該些主位元線耦接，用以放大及感測該些主位元線之電流；

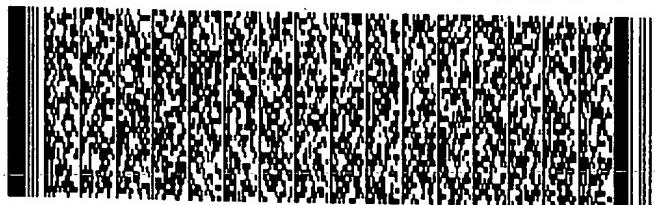
其中，該些記憶單元中之該第n記憶單元的該第一等效開關與該第n記憶單元的該主位元線及該第n記憶單元的該接地線耦接，並受控於該第(n-1)記憶單元的該控制信號；

其中，該些記憶單元中之該第n記憶單元的該第二等效開關與該第n記憶單元的該主位元線及該第(n+1)記憶單元的該接地線耦接，並受控於該第(n+1)記憶單元的該控制信號；

其中，該第n記憶單元之該第五子位元線即為該第(n+1)記憶單元之該第一子位元線；

其中，n為正整數。

7. 如申請專利範圍第6項所述之記憶體，其中該第一等效開關與該第二等效開關係為電晶體。



(4.5版)申請案件名稱:具屏蔽效應之記憶體

第 1/13 頁

第 2/13 頁

第 3/13 頁

第 4/13 頁

第 4/13 頁

第 5/13 頁

第 5/13 頁

第 6/13 頁

第 6/13 頁

第 7/13 頁

第 7/13 頁

第 8/13 頁

第 8/13 頁

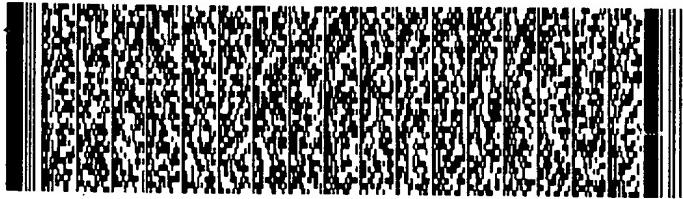
第 9/13 頁

第 10/13 頁

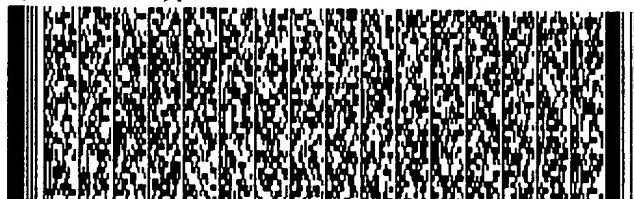
第 11/13 頁

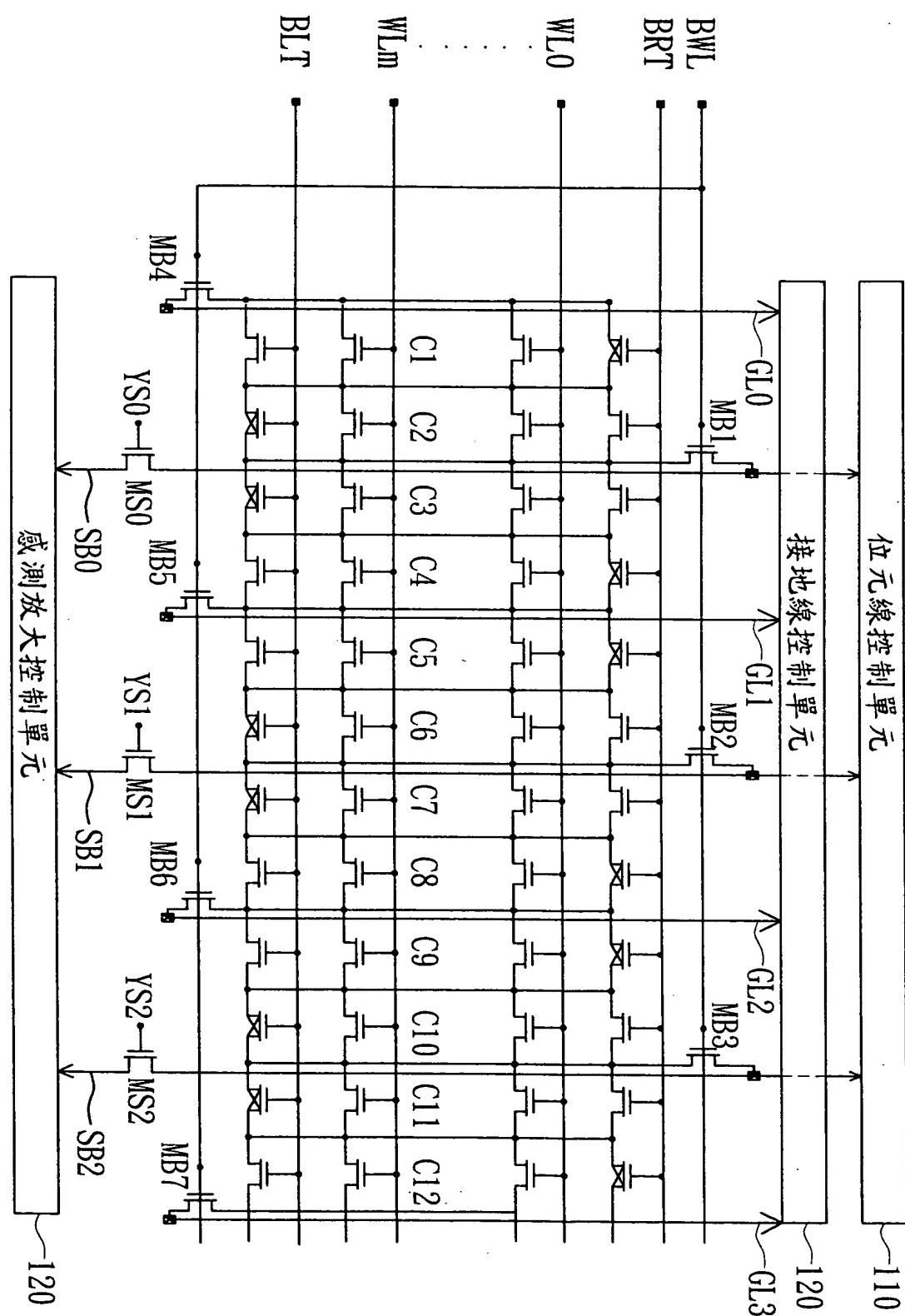
(4.5版)申請案件名稱:具屏蔽效應之記憶體

第 12/13 頁

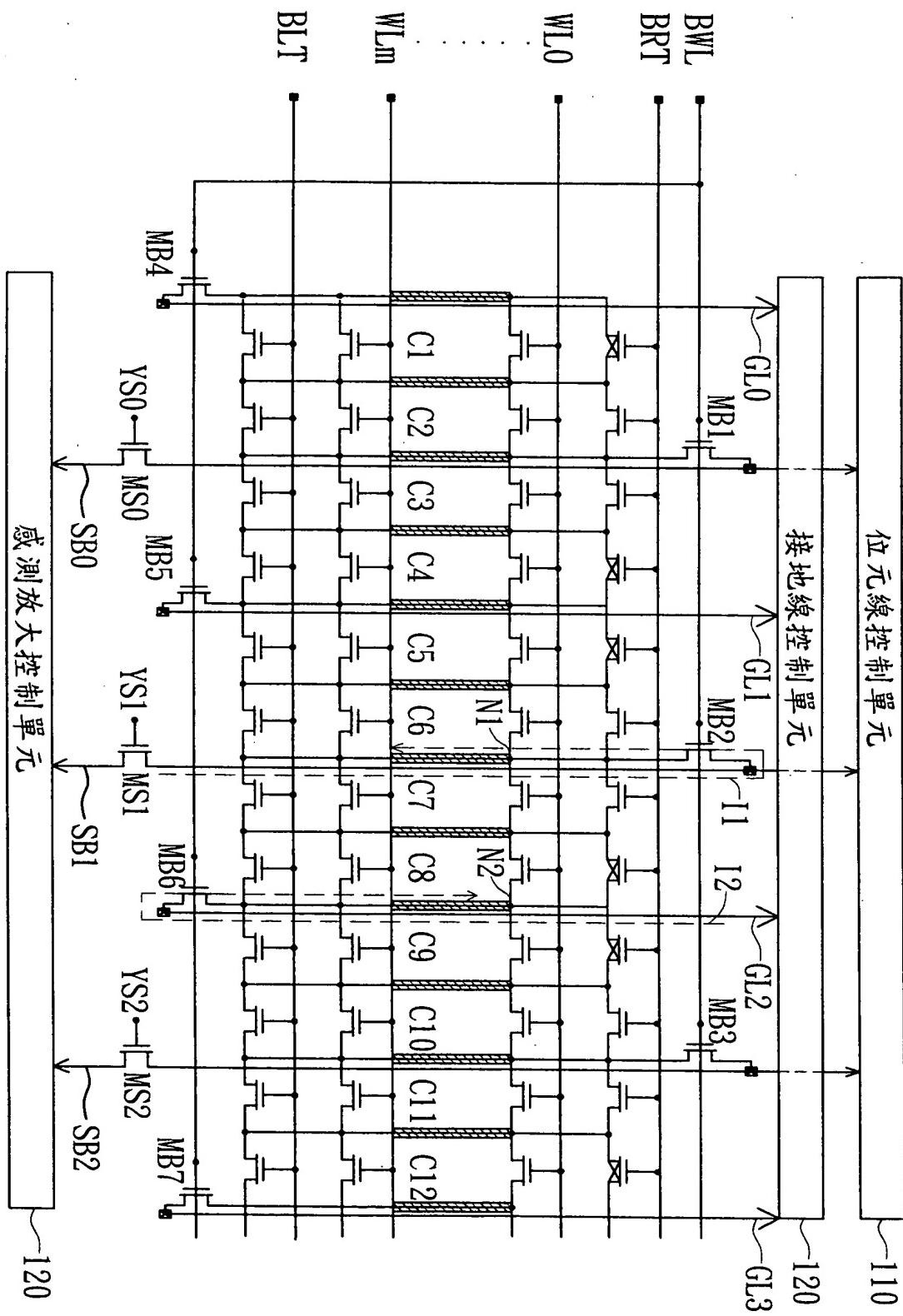


第 13/13 頁

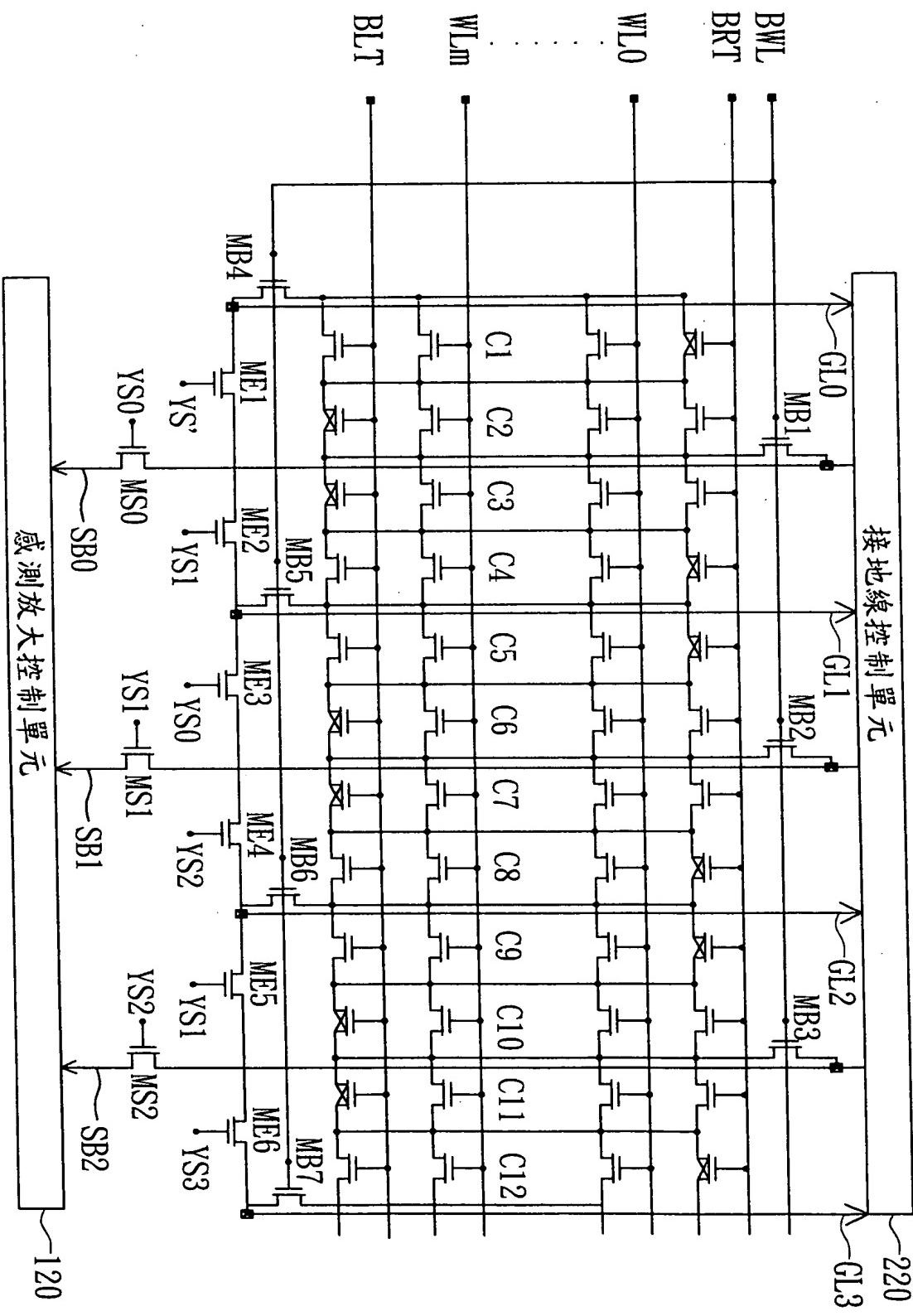




第 1A 圖(習知技藝)

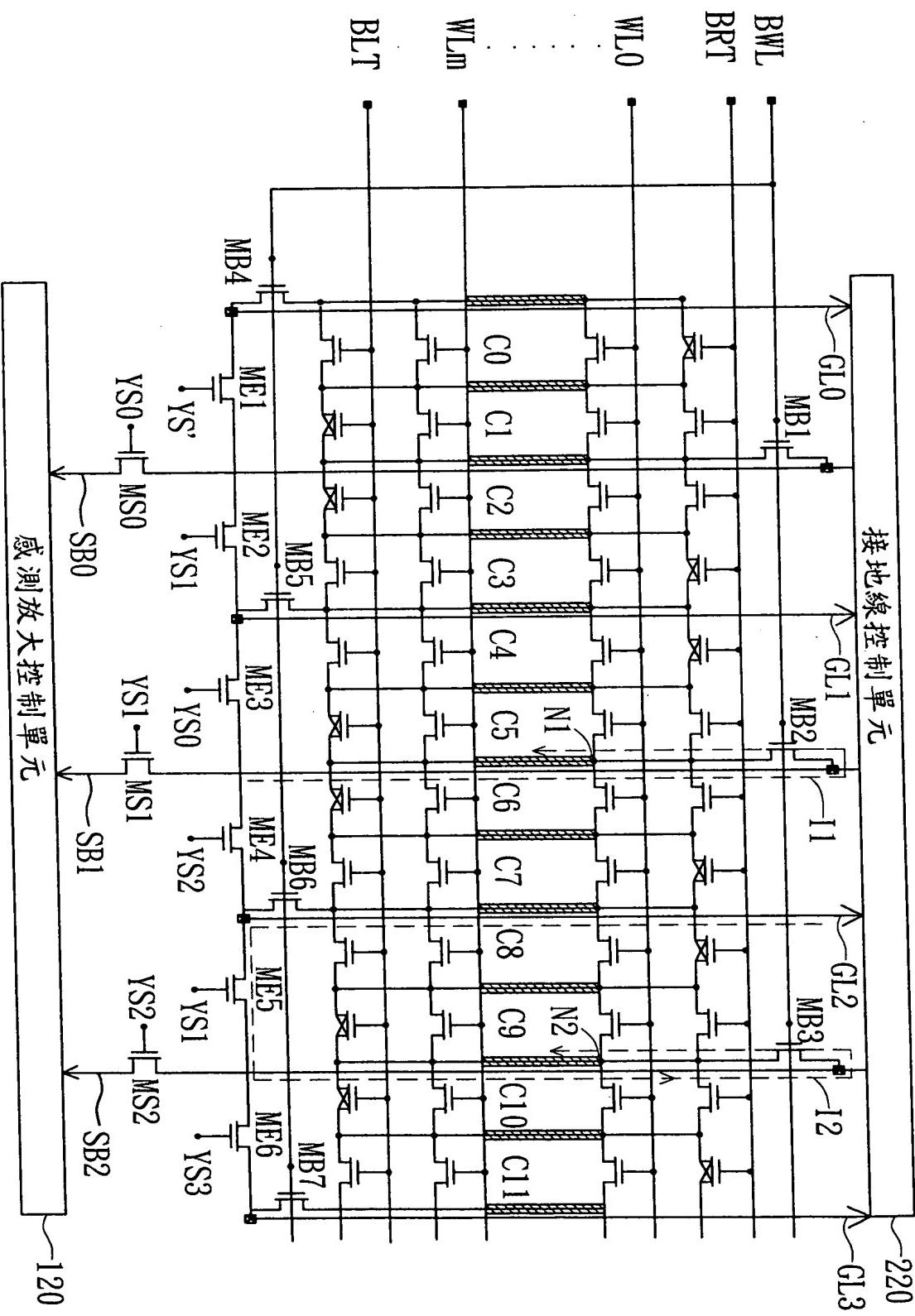


## 第1B圖(習知技藝)



第 2A 圖

THE  
DOE



第 2B 圖

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: Bar Code**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.